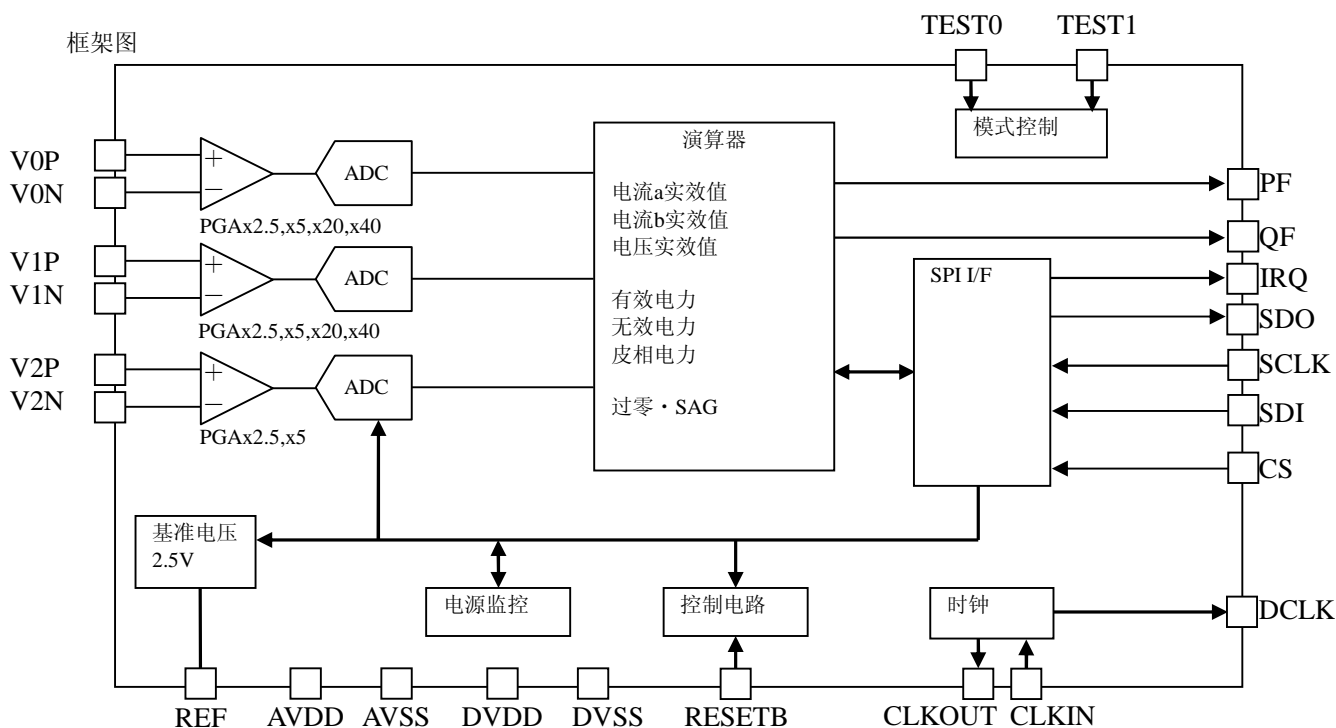


## HYM78300 开发规格方案

## 1. 功能概要

- 工作电源电压 : 4.75V~5.25V
- 保证工作温度 : -40~+85°C
- 封装 : SSOP24
- 时钟频率 : 4.096MHz (外置晶振)
- 有效电力测量 : 2000:1  $\pm$ 0.1%以下(常温 目标)
- 无效电力测量 : 1000:1 0.2%以下(常温)
- ADC : 3ch(电流 2ch、电压 1ch)  
Fs=4KHz、
- SPI I/F : 单片机控制用
- 脉冲输出 : 有效电量·无效电量
- 测量项目(SPI) : 有效电力、无效电力、实效电流(ch0/ch1)、实效电压
- 中断(IRQ) : SAG 检测、电压过零、SPI 通信错误、电源电压降低、电流 ch 直接比较标志等



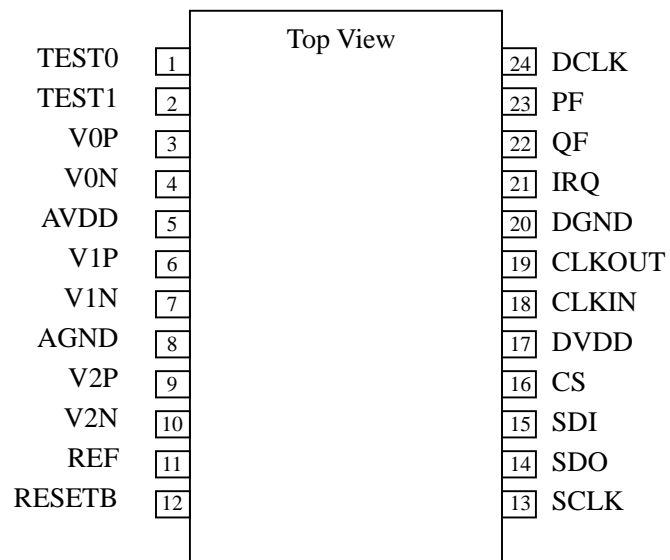
## 2. 端口功能表

Pin No.	端口名称	I/O	Analog/D	Module	功 能
1	TEST0	I	D	TEST	测试用输入端口
2	TEST1	I	D	TEST	
3	V0P	I	A	ADC	电流ch模拟非反转输入端口
4	V0N	I	A	ADC	电流ch模拟反转输入端口
5	AVDD				模拟电源 +5.0V
6	V1P	I	A	ADC	电流ch模拟非反转输入端口
7	V1N	I	A	ADC	电流ch模拟反转输入端口
8	AGND (AVSS)				模拟 GND
9	V2P	I	A	ADC	电压ch模拟非反转输入端口
10	V2N	I	A	ADC	电压ch模拟反转输入端口
11	REF	I/O	A		基准电压输入/输出端口
12	RESETB	I	D		复位输入端口 ("H":正常工作、“L”:复位)
13	SCLK	I	D	SPI	SPI(串口 SLAVE)端口 时钟、数据输出、数据输入、片选
14	SDO	O	D	SPI	
15	SDI	I	D	SPI	
16	CS	I	D	SPI	
17	DVDD (VDD)				数字电源 +5.0V
18	CLKIN	I	D	XTAL	时钟输入端口
19	CLKOUT	O	D		时钟输出端口
20	DGND (VSS)				数字 GND
21	IRQ	O	D	演算部	中断信号
22	QF	O	D	演算部	无效电量输出信号
23	PF	O	D	演算部	有效电量输出信号
24	DCLK	O	D	CLK	内部 Clock 输出

为了消除高频干扰请在 REF 端口并联连接 10 $\mu$ F~47 $\mu$ F 的电解电容和 0.1 $\mu$ F 的陶瓷电容。另外, 请不要从 REF 端口获取电流。

也请在电源端口(AVDD-AVSS 之间)并联连接 10 $\mu$ F~47 $\mu$ F 的电解电容和 0.1 $\mu$ F 的陶瓷电容。

## 引脚配置



### ■绝对最大定额

参数	符号	Min	Typ	Max	单位	备注
模拟电源电压	AVDD	-0.3		6.5	V	
数字电源电压	DVDD	-0.3		6.5	V	
模拟输入电压	$V_{IAVDD}$	-0.3		6.5	V	
数字输入电压	$V_{IDVDD}$	-0.3		6.5	V	

### ■容许工作范围

参数	符号	Min	Typ	Max	单位	备注
模拟电源电压	AVDD	4.75	5.00	5.25	V	
数字电源电压	DVDD	4.75	5.00	5.25	V	
模拟输入电压	$V_i, V_o$	-0.3		AVDD+0.3	V	
数字输入电压	$V_{IH, DVDD}$	$0.8 \times DVDD$		DVDD	V	
	$V_{IL, DVDD}$	DGND		$0.2 \times DVDD$	V	
门限电压 (有 Schmitt)	$V_{STLH}$	2.72	3.02	3.40	V	端口信号从 Low 到 High
	$V_{STHL}$	2.00	2.20	2.46	V	端口信号从 High 到 Low
数字输出电压	$V_{OH, DVDD}$	DVDD-0.4			V	$I_{OH, DVDD} = -4mA$
	$V_{OL, DVDD}$			0.4	V	$I_{OL, DVDD} = 4mA$
工作环境温度	$T_a$	-40		+85	°C	

### ■电气特性(DC特性)

参数	符号	条件	Min	Typ	Max	单位	备注
功耗电流 工作时	IDD1			3		mA	目标(AVDD)
	IDD2			3		mA	目标(DVDD)
功耗电流 待机	ILEAK		-10		+10	uA	待机模式

### ■AD转换器规格(特性)

参数	符号	条件	Min	Typ	Max	单位	备注
外部时钟				4.096		MHz	
$\Delta \Sigma$ ADC 工作时钟				512		KHz	
过度取样频率	fos			128		fs	
取样频率	fs			4		KHz	

## ■ 电气特性(模拟特性)

参数	符号	条件	Min	Typ	Max	单位	备注
电流ch输入电压		PGA x2.5 PGA x5 PGA x20 PGA x40	-470 -235 -60 -30		470 235 60 30	mV	差动输入时 (V0P/V0N,V1P/V1N)
电压ch输入电压		PGA x2.5 PGA x5	-470 -235		470 235	mV	差动输入时 (V2P/V2N)
电流ch输入电压		PGA x2.5※ PGA x5 PGA x20 PGA x40	-300 -235 -60 -30		470 235 60 30	mV	单端输入时 (V0P/V0N,V1P/V1N)
电压ch输入电压		PGA x2.5※ PGA x5	-300 -235		470 235	mV	单端输入时 (V2P/V2N)
输入高阻		DC	25			KΩ	

※ 由于min输入为-300mV，请使用±300mV。

参数	符号	条件	Min	Typ	Max	单位	备注
基准电压电路 +2.5V							
输出电压			2.4	2.5	2.6	V	
Temperature Coefficient				±25		ppm/°C	
电源监控电路							
检测电压			3.85	4	4.2	V	

■ 电力演算特性(模拟特性) AVDD=5V±5%、DVDD=5V±5%、AGND=DVSS=0V、VREF=2.5V  
fAC=45~65Hz、CLKIN=4.096MHz

参数	符号	条件	Min	Typ	Max	单位	备注
有效电力测量误差		0.1~100%		±0.1		%	目标值
无效电力测量误差		0.1~100%		±0.2		%	
实效电流测量误差	I <sub>rms</sub>	1~100%		±0.1		%	
实效电压测量误差	V <sub>rms</sub>	5~100%		±0.1		%	

## ■ XTAL AC 时序

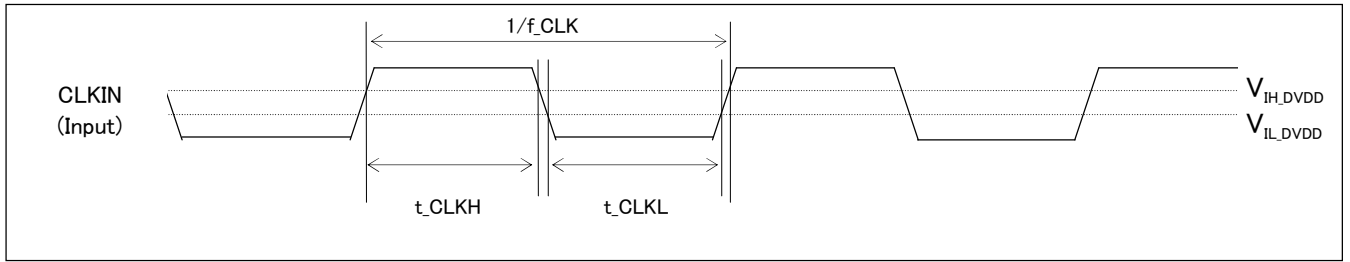


图 XTAL AC 时序图

参数	符号	适用端口	Min	Typ	Max	单位	备注
CLKIN Frequency	$f_{CLK}$	CLKIN		4.096		MHz	
CLKIN Pulse width High	$t_{CLKH}$	CLKIN		122		ns	
CLKIN Pulse width Low	$t_{CLKL}$	CLKIN		122		ns	

## ■ RESET AC 时序

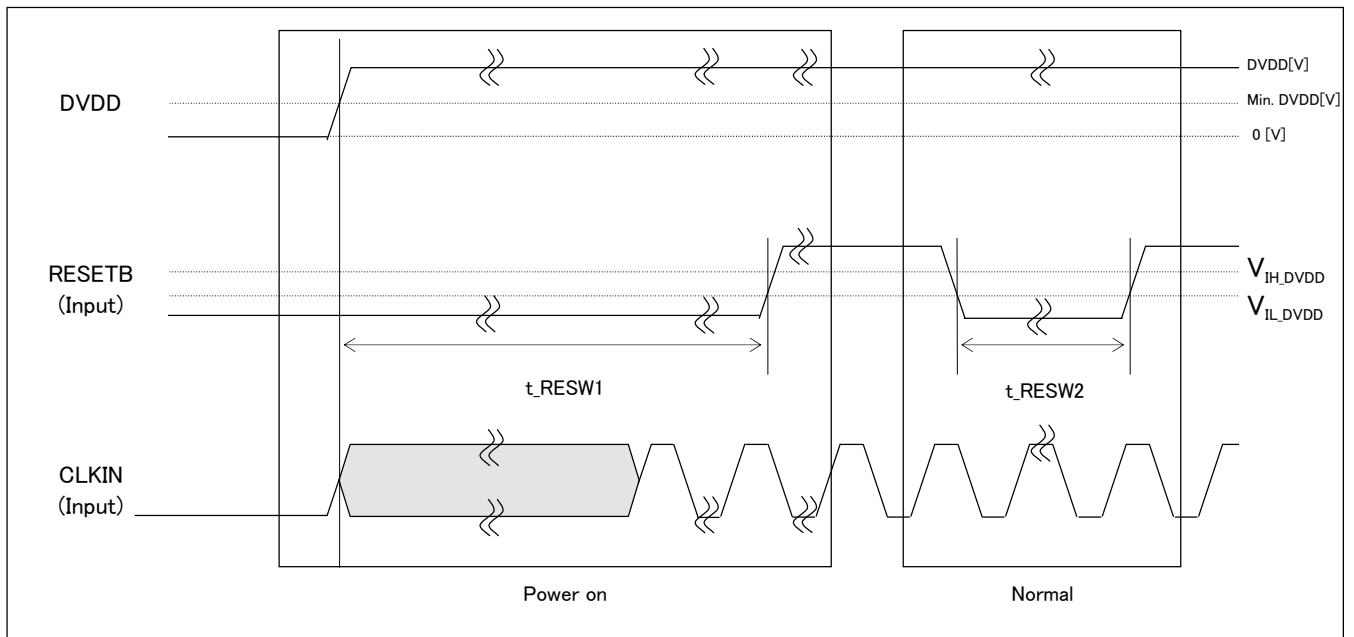


图 RESET AC 时序图

参数	符号	适用端口	Min	Typ	Max	单位	备注
RESETB Pulse Width (Power on)	$t_{RESW1}$	RESETB	T.B.D.			ms	
RESETB Pulse Width (Normal)	$t_{RESW2}$	RESETB	T.B.D.	1953 (1/f_CLK) x 8		ns	

## ■ DCLK AC 时序

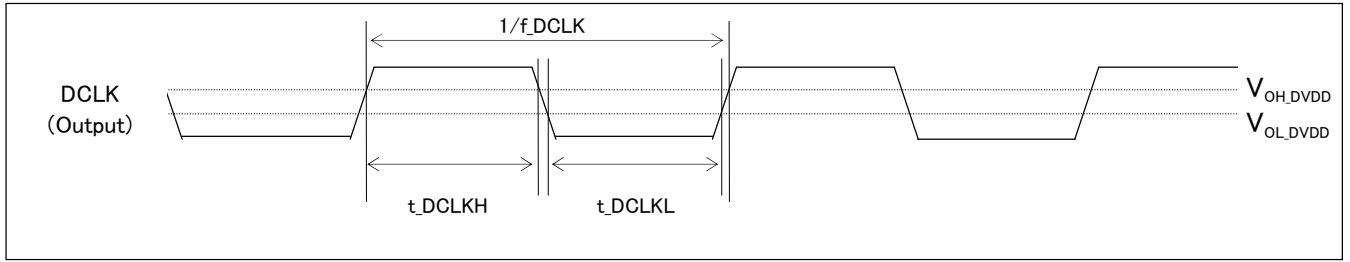


图 DCLK AC 时序图

参数	符号	适用端口	Min	Typ	Max	单位	备注
DCLK Frequency	$f_{DCLK}$	DCLK	T.B.D	512 $f_{CLK} \times 1/8$	T.B.D	kHz	
DCLK Pulse width High	$t_{DCLKH}$	DCLK	T.B.D	976 $(1/f_{DCLK}) \times 1/2$	T.B.D	ns	
DCLK Pulse width Low	$t_{DCLKL}$	DCLK	T.B.D	976 $(1/f_{DCLK}) \times 1/2$	T.B.D	ns	



## ■ SPI AC 时序

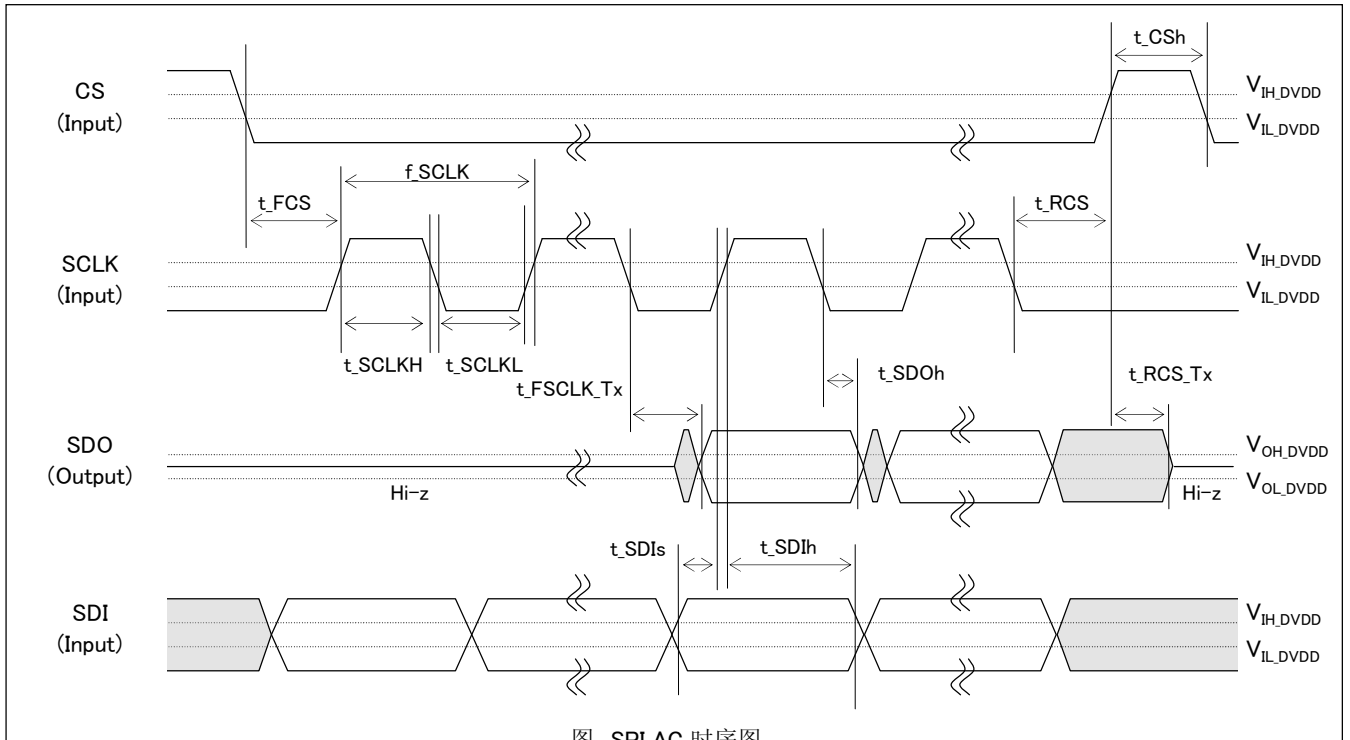


图 SPI AC 时序图

参数	符号	适用端口	Min	Typ	Max	单位	备注
SCLK Frequency	f_SCLK	SCLK			512 f_CLK x 1/8	kHz	
SCLK Pulse width High	t_SCLKH	SCLK	T.B.D	976 (1/f_SCLK) x 1/2		ns	
SCLK Pulse width Low	t_SCLKL	SCLK	T.B.D	976 (1/f_SCLK) x 1/2		ns	
CS fall edge to SCLK rise edge	t_FCS	CS, SCLK	T.B.D	976 (1/f_SCLK) x 1/2		ns	
SCLK fall edge to CS rise edge	t_RCS	CS, SCLK	T.B.D	976 (1/f_SCLK) x 1/2		ns	
CS input High Level Hold time	t_CSh	CS	732 (1/f_CLK) x 3			ns	
SCLK Delay time fall edge to SDO Data Output	t_FSCLK_Tx	SCLK, SDO		732 (1/f_CLK) x 3	T.B.D	ns	
SDO Data Output Hold time	t_SDOh	SDO		732 (1/f_CLK) x 3	T.B.D	ns	
CS Delay time rise edge to SDO Hi-z Output	t_RCS_Tx	CS, SDO		732 (1/f_CLK) x 3	T.B.D	ns	
SDI input data Setup time	t_SDIs	SCLK, SDI	0			ns	
SDI input data Hold time	t_SDIh	SCLK, SDI	854 (1/f_CLK) x 3.5			ns	

※ SPI接口的访问通过命令进行。详细时序请参考TRM的串行I/F章节。

## ■PF AC 时序

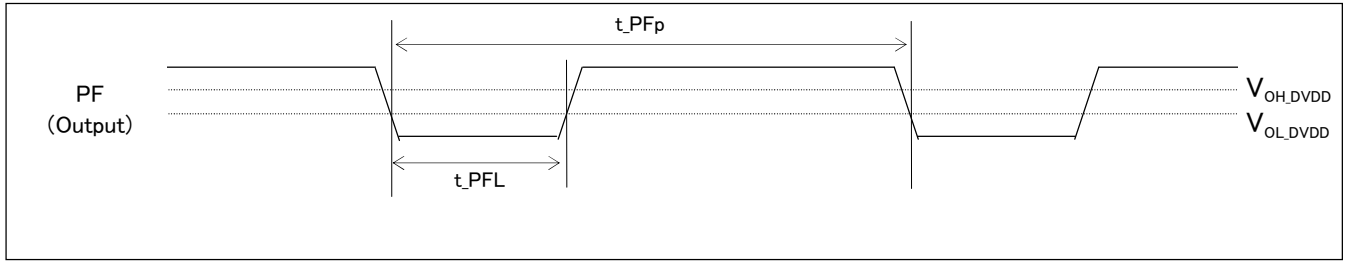


图 PF AC 时序图

参数	符号	适用端口	Min	Typ	Max	单位	备注
PF Pulse Period	$t_{PFp}$	PF	T.B.D.			ns	
PF Pulse width Low	$t_{PFL}$	PF	T.B.D.			ns	

## ■QF AC 时序

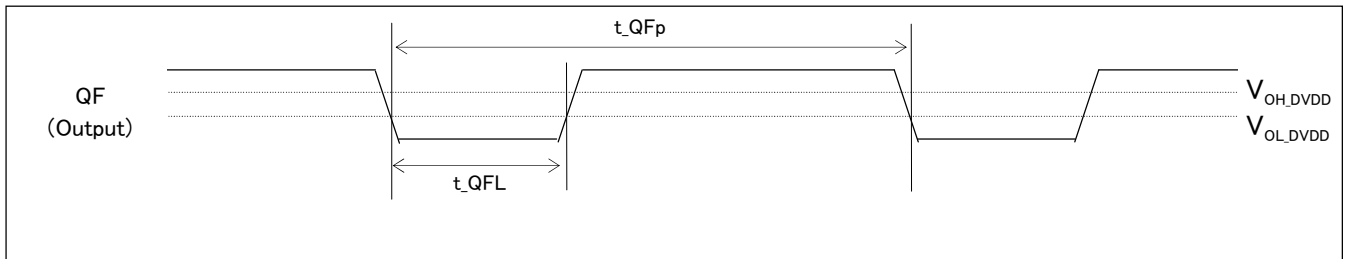


图 QF AC 时序图

参数	符号	适用端口	Min	Typ	Max	单位	备注
QF Pulse Period	$t_{QFp}$	QF	T.B.D.			ns	
QF Pulse width Low	$t_{QFL}$	QF	T.B.D.			ns	